

SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Publication number: JP11145478 (A)

Publication date: 1999-05-28

Inventor(s): NAKADA SHINICHI

Applicant(s): NIPPON ELECTRIC CO

Classification:


- international: *G02F1/136; G02F1/1368; H01L21/336; H01L29/786; G02F1/1368; G02F1/13; H01L21/02; H01L29/66; G02F1/13; (IPC1-7): H01L29/786; G02F1/136; H01L21/336*


- European: H01L29/786B5


Application number: JP19970302579 19971105


Priority number(s): JP19970302579 19971105


Also published as:

 JP3022443 (B2)

 EP0915365 (A2)

 EP0915365 (A3)

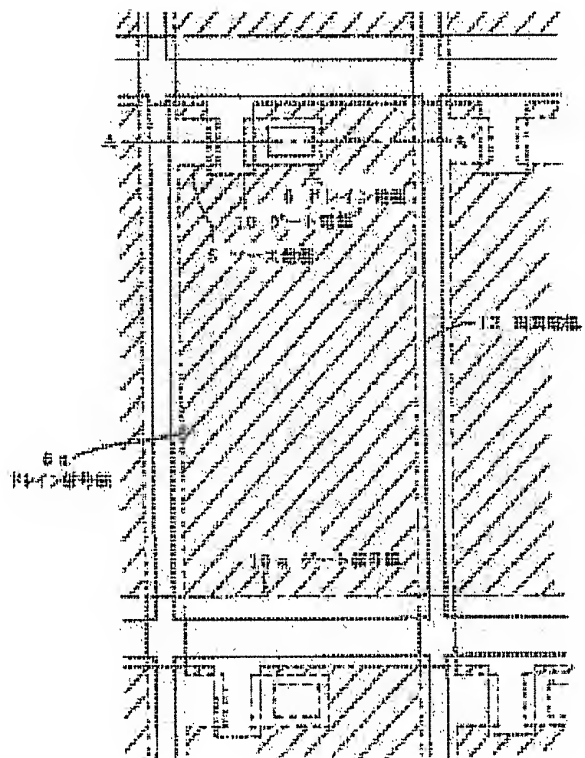
 EP0915365 (B1)

 US6262436 (B1)

Abstract of JP 11145478 (A)

PROBLEM TO BE SOLVED: To realize a forward stagger TFT, which is improved in numerical aperture performance and reduced in manufacturing cost by lessening the number of processes and to provide a semiconductor device, which is suitable for a flat display LCD of a-SiTFT active matrix display type and a manufacturing method thereof.

SOLUTION: In a forward stagger TFT, a light-proof insulating film is formed on one side of an insulating substrate, and the light-proof insulating film is left to be present under the wiring layers of a source electrode 5, a drain electrode 6, a drain signal wire 6a, a gate electrode 10, and a gate signal wire 10a. All the light-proof insulating film is removed except its part located under the wiring layers.



Family list

5 application(s) for: **JP11145478**

- 1 Thin-film transistor with light-shielding film for use in liquid crystal devices, and method of making the same**
Inventor: NAKATA SHINICHI [JP] **Applicant:** NEC LCD TECHNOLOGIES LTD [JP]
EC: H01L29/786B5 **IPC:** G02F1/136; G02F1/1362; G02F1/1368; (+5)
Publication info: DE69835793 (T2) — 2007-09-13
- 2 Thin-film transistor with light-shielding film for use in liquid crystal devices, and method of making the same**
Inventor: NAKATA SHINICHI [JP] **Applicant:** NIPPON ELECTRIC CO [JP]
EC: H01L29/786B5 **IPC:** G02F1/136; G02F1/1368; H01L21/336; (+6)
Publication info: EP0915365 (A2) — 1999-05-12
EP0915365 (A3) — 2001-10-17
EP0915365 (B1) — 2006-09-06
- 3 SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**
Inventor: NAKADA SHINICHI **Applicant:** NIPPON ELECTRIC CO
EC: H01L29/786B5 **IPC:** G02F1/136; G02F1/1368; H01L21/336; (+9)
Publication info: JP11145478 (A) — 1999-05-28
JP3022443 (B2) — 2000-03-21
- 4 Semiconductor device and method of making the same**
Inventor: NAKATA SHINICHI [JP] **Applicant:** NIPPON ELECTRIC CO [JP]
EC: H01L29/786B5 **IPC:** G02F1/136; G02F1/1368; H01L21/336; (+7)
Publication info: TW445394 (B) — 2001-07-11
- 5 Semiconductor device and method of making the same**
Inventor: NAKATA SHINICHI [JP] **Applicant:** NIPPON ELECTRIC CO [US]
EC: H01L29/786B5 **IPC:** G02F1/136; G02F1/1368; H01L21/336; (+7)
Publication info: US6262436 (B1) — 2001-07-17

Data supplied from the *esp@cenet* database —

特開平11-145478

(43)公開日 平成11年(1999) 5月28日

(51)Int.Cl.⁶
H01L 29/786
G02F 1/136
H01L 21/336

識別記号
500

F I
H01L 29/78 619 B
G02F 1/136 500
H01L 29/78 627 A
627 C

審査請求 有 請求項の数 8 O L (全 6 頁)

(21)出願番号 特願平9-302579

(22)出願日 平成9年(1997)11月5日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 中田 慎一

東京都港区芝五丁目7番1号 日本電気株式会社内

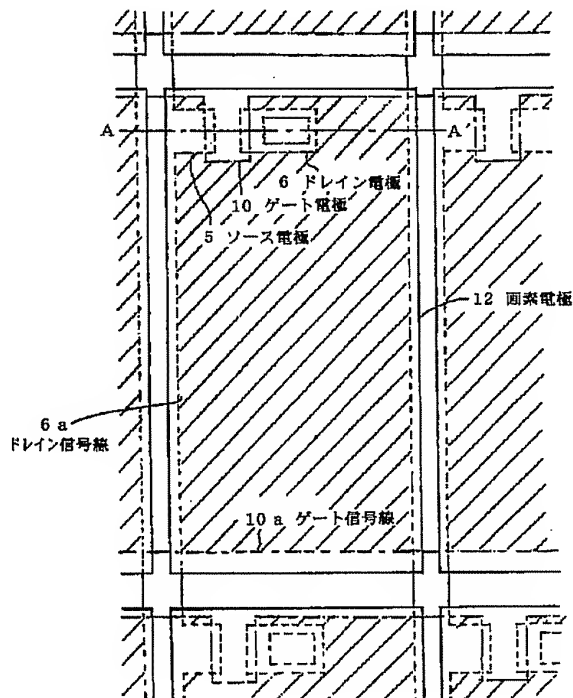
(74)代理人 弁理士 岩佐 義幸

(54)【発明の名称】 半導体デバイスおよびその製造方法

(57)【要約】

【課題】 順スタガ形TFTにおいて、開口率性能を高め、工程削減により製造コスト低減を実現するとともに、特にa-SiTFTアクティブマトリクス表示方式によるフラットディスプレイLCDに好適な半導体デバイスおよびその製造方法を提供する。

【解決手段】 順スタガ形のTFTにおいて、絶縁性基板1の一面に遮光性絶縁膜2を成膜し、ソース電極5、ドレイン電極6とドレイン信号線6a、ゲート電極10とゲート信号線10aの各配線下層には遮光性絶縁膜2を残して存在させるが、この遮光性絶縁膜2の各配線下層以外のすべては除去している。



【特許請求の範囲】

【請求項 1】絶縁性基板の一面に成膜された絶縁膜上にソース電極およびドレイン電極を設け、これら両電極のそれぞれ少なくとも一部を覆うようにして、前記絶縁膜上にアモルファスシリコン（a-Si）、ゲート絶縁膜およびゲート電極がこの順に設けられ、前記ドレイン電極に画素電極が接続されて、この画素電極ごとに配置される順スタガ形薄膜トランジスタ素子（TFT）による半導体デバイスであって、

前記絶縁膜が遮光性を有し、前記ソース電極、前記ドレイン電極とドレイン信号線、前記ゲート電極とゲート信号線の各配線下層には前記遮光性絶縁膜が存在するが、この遮光性絶縁膜の各配線下層以外のすべてが除去されていることを特徴とする半導体デバイス。

【請求項 2】前記遮光性絶縁膜が、遮光性有機膜の上に絶縁性無機膜を積層した 2 層構造となっていることを特徴とする請求項 1 に記載の半導体デバイス。

【請求項 3】a-SiTFT表示デバイスとして構成されていることを特徴とする請求項 1 または 2 に記載の半導体デバイス。

【請求項 4】a-SiTFTアクティブマトリクス形表示方式によるカラー液晶ディスプレイとして構成されることを特徴とする請求項 1 または 2 に記載の半導体デバイス。

【請求項 5】前記絶縁膜の除去されている部分が透明性平坦化膜によって平坦化されている液晶フラットディスプレイとしたことを特徴とする請求項 4 に記載のカラー液晶ディスプレイ。

【請求項 6】絶縁性基板の一面に成膜された絶縁膜上にソース電極およびドレイン電極を設け、これら両電極のそれぞれ少なくとも一部を覆うようにして、前記絶縁膜上にアモルファスシリコン（a-Si）、ゲート絶縁膜およびゲート電極がこの順に設けられ、前記ドレイン電極に画素電極が接続され、この画素電極ごとに配置される順スタガ形薄膜トランジスタ素子（TFT）による半導体デバイスの製造方法であって、

前記絶縁膜が遮光性を有し、前記ソース電極、前記ドレイン電極とドレイン信号線、前記ゲート電極とゲート信号線の各配線をマスクにして、各配線下層を除くすべての部分の前記遮光性絶縁膜を除去することを特徴とする半導体デバイスの製造方法。

【請求項 7】前記遮光性絶縁膜を除去した部分に透明性平坦化膜を成膜して平坦化することを特徴とする液晶フラットディスプレイによる請求項 6 に記載の半導体デバイスの製造方法。

【請求項 8】前記画素電極ごとに a-SiTFT が配置されたアクティブマトリクス形表示方式であり、前記画素電極が、前記ドレイン信号線および前記ゲート信号線の少なくともいずれか一方に、その少なくとも一部が重なり合うように形成され、前記透明性平坦化膜を貫通す

るコンタクトホールを通して、前記ドレイン電極に接続することを特徴とする請求項 7 に記載の液晶フラットディスプレイ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタを能動スイッチング素子とするアクティブマトリクス形表示方式の LCD（液晶表示装置）、特に液晶フラットディスプレイとして好適な半導体デバイスおよびその製造方法に関する。

【0002】

【従来の技術】近年、液晶フラットディスプレイの駆動用能動スイッチング素子に薄膜トランジスタ（TFT：Thin Film Transistor）が多用されている。なかでも、チャンネル層に対してゲート電極を上層に配置し、ソース・ドレイン電極を下層に配置したいわゆる順スタガ（Stagger）形は構造が簡単で、フォトリソグラフィ工程も少なく、製造コストを低減できる利点がある。

【0003】図 5 は、代表的な順スタガ形 TFT の一例を示している。ガラス基板などによる絶縁性基板 1 上に、金属遮光膜 3、透明性層間絶縁膜 4、画素電極 12、ソース電極 5、ドレイン電極 6、n⁺ アモルファスシリコン 7、アモルファスシリコン 8、ゲート絶縁膜 9、ゲート電極 10 を有し、保護絶縁膜 13 により被覆保護されている。ソース電極 5 とドレイン電極 6 は、画素電極 12 とこれと同一材料の残留層 14 の上に形成され、ドレイン電極 6 はその残留層 14 を介して画素電極 12 に接続している。

【0004】これに関するものとして、特開平 7-239481 号公報のアクティブマトリクス基板においては、図 5 で示すように、n⁺ アモルファスシリコン 7 がソース電極 5 側とドレイン電極 6 側とに分離されているものが記載されている。

【0005】この順スタガ形 TFT では、アモルファスシリコン 8 層への光入射によるリーク電流を抑制するために、遮光膜の形成工程を必要とする。

【0006】一方、特開平 9-92618 号公報の TFT では、Cr 膜でカラーフィルタ側に設けられるブラック・マトリクスを TFT 基板側に形成し、これを遮光層の形成工程と兼ねている。

【0007】また、特開平 5-210119 号公報に記載された能動マトリクス液晶スクリーン構造においては、ブラックマトリクスだけでなく、カラーフィルタも順スタガ形 TFT の下に設け、遮光層の形成工程に兼ねる技術が提案されている。

【0008】

【発明が解決しようとする課題】ところで、図 5 に示す例を含む従来の順スタガ形 TFT では、遮光層を形成するためにフォトリソ工程が必要である。そのため、製造工程の削減が困難で、特に安価な液晶フラットディス

レイを製造するのに不利となっている。

【0009】また、上記公報記載の従来技術にみられるように、カラーフィルタ側にブラックマトリクスを設けることは、TFT基板との重ね精度を考慮に入れる必要がある。そのことから、画素電極の面積を増大することと同意義のいわゆる開口率を高めることが困難である。

【0010】したがって、本発明の目的は、順スタガ形TFTにおいて、開口率性能を高め、工程削減により製造コスト低減を実現するとともに、特にa-SiTFTアクティブマトリクス表示方式によるフラットディスプレイLCDに好適な半導体デバイスおよびその製造方法を提供することにある。

【0011】

【課題を解決するための手段】本発明による半導体デバイスは、絶縁性基板の一面に成膜された絶縁膜上にソース電極およびドレイン電極を設け、これら両電極のそれぞれ少なくとも一部を覆うようにして、前記絶縁膜上にアモルファスシリコン(a-Si)、ゲート絶縁膜およびゲート電極がこの順に設けられ、前記ドレイン電極に画素電極が接続されて、この画素電極ごとに配置される順スタガ形薄膜トランジスタ素子(TFT)によるものであって、前記絶縁膜が遮光性を有し、前記ソース電極、前記ドレイン電極とドレイン信号線、前記ゲート電極とゲート信号線の各配線下層には前記遮光性絶縁膜が存在するが、この遮光性絶縁膜の各配線下層以外のすべてが除去されてになっている。

【0012】この場合、遮光性絶縁膜としては、遮光性有機膜の上に絶縁性無機膜を積層した2層構造とすることができる。

【0013】また、係る半導体デバイスは、a-SiTFT表示デバイス、a-SiTFTアクティブマトリクス形表示方式によるカラー液晶ディスプレイに好適である。

【0014】このカラー液晶ディスプレイは、遮光性絶縁膜の除去されている部分を透明性平坦化膜によって平坦化した液晶フラットディスプレイとすることができる。

【0015】一方、本発明の製造方法にあっては、絶縁膜が遮光性を有し、ソース電極、ドレイン電極とドレイン信号線、ゲート電極とゲート信号線の各配線をマスクにして、各配線下層を除くすべての部分の前記遮光性絶縁膜を除去する。

【0016】この場合、遮光性絶縁膜を除去した部分に透明性平坦化膜を成膜して平坦化する。また、画素電極ごとにa-SiTFTが配置されたアクティブマトリクス形表示方式とする場合、前記画素電極が、ドレイン信号線およびゲート信号線の少なくともいずれか一方に、その少なくとも一部が重なり合うように形成し、透明性平坦化膜を貫通するコンタクトホールを通してドレイン電極に接続させる。

【0017】したがって、以上から、遮光性絶縁膜としては、TFT形成時のエッチングガスで同時にエッチング可能な材料を選択したことにより、従来からの遮光層形成工程を省くことができる。このことは、配線材料とゲート絶縁膜、a-Si、遮光性絶縁膜の選択エッチング性を利用することで可能となる。

【0018】

【発明の実施の形態】以下、本発明による半導体デバイスの実施の形態として、a-SiTFTアクティブマトリクス形表示方式による液晶フラットディスプレイのカラーLCDとその製造方法を図面を参照して詳細に説明する。

【0019】図1は、能動スイッチング素子としてアクティブマトリクス形表示方式による能動スイッチング素子であるTFTの1画素領域を示す平面図、図2は図1のA-A線からの断面図を示している。最良の実施の形態である遮光性絶縁膜2が、ソース電極5、ドレイン電極6とドレイン信号線6a、ゲート電極10とゲート信号線10aをマスクにしてエッチングされる。

【0020】図2に示すように、絶縁性基板1上には遮光性の有機材料を用いて遮光性絶縁膜2が成膜されている。有機材料として、アクリル系樹脂、ポリイミド、硬化性樹脂に着色剤として黒顔料やカーボンブラックを添加したものをを用いることができる。この遮光性絶縁膜2は、バックチャネルへのブロッキング効果を向上させるため、上記のような有機材料の上に無機絶縁膜を積層して2層構造とすることもできる〔実施例2：図4参照〕。この場合、無機材料にシリコン酸化膜やシリコン窒化膜を用いることができる。

【0021】遮光性絶縁膜2上には、ソース電極5とドレイン電極6が導電膜によってパターン形成されている。導電膜の材料として、化学的に安定したITO(Indium Tin Oxide)などの透明導電膜の他、Mo(モリブデン)、Cr(クロム)などの金属を用いることができる。Moを用いる場合は、フッ素系ガスでエッチングが行われるので、バリアメタルが必要である。

【0022】ソース電極5とドレイン電極6上に形成されるアモルファスシリコン(a-Si)8およびゲート絶縁膜9は、ゲート電極10をエッチングした後、このゲート電極10をマスクとしてパターニングされる。ゲート絶縁膜9の材料には、シリコン酸化膜、シリコン窒化膜などが用いられる。ゲート電極10の材料には、Al、Mo、Crなどが用いられる。

【0023】また、本発明の要旨の1つとして、上記各電極を上から覆って保護しかつ平坦化するために、ポジ型感光性アクリル系樹脂や非感光性のカルド、BCB(Benzocyclobutene)、シロキサン系フッ素樹脂などの材料で透明平坦化膜11が形成されている。感光性樹脂を用いた場合、現像と同時にコンタクトホールが形成されるが、非感光性樹脂の場合は全硬化後、ドライエッチ

ング装置でコンタクトホールを形成する必要がある。コンタクトホール形成後、透明導電膜ITOによって画素電極12を上層に形成した構造となっている。

〔実施例：1〕図1および図2において、各画素は隣り合う2本のゲート信号線10aと、隣り合う2本のドレイン信号線6aとの交差領域内および交差領域上に位置する。画素電極12は、透明性平坦化膜11を挟んでそれぞれゲート信号線10a、ドレイン信号線6aの端部に1~1.5 μ mだけ重なり合っている。また、この画素電極12は、透明性平坦化膜11に開孔されたコンタクトホールを介してドレイン電極6に接続されている。

【0024】図3(a)~(f)は、係るa-SiTFTの製造工程順を示している。

【0025】まず、ガラス基板1上にスピコート装置で遮光性絶縁膜2を塗布する。さもなくば、スリットコート装置を用いた場合、遮光性絶縁膜2の材料使用量を半以下に削減できる利点がある。遮光性絶縁膜2としては、例えばアクリル系樹脂材料に黒顔料を添加した顔料分散型アクリル系樹脂を用いている。なお、遮光性絶縁膜2は、光硬化性樹脂材料やポリイミド樹脂にカーボンブラックまたは黒顔料を添加した材料などであってもよい。この遮光性絶縁膜2の特性は、誘電率が3.0、透過率が0.001%（膜厚1.0 μ m、波長400nm）である。また、遮光性絶縁膜2の膜厚は、後工程でのエッチング性を考慮して、極力薄く形成されるのが望ましく、可能であれば1 μ m以下の膜厚が好適である。膜厚は、スピコート方式であれば、基板回転数で制御できる。係る顔料分散型アクリル系樹脂を用いた場合、基板回転数を550rpm/30secに設定すると、0.7 μ mの膜厚に形成することができる。遮光性絶縁膜2を塗布後、N₂フローの焼成炉にて250℃、60分間で全硬化させる〔図3(a)〕。

【0026】次に、遮光性絶縁膜2の上にCrを1500Åの膜厚にスパッタ法で成膜し、フォトリソ工程でソース電極5、ドレイン電極6とこのドレイン信号線6aを形成する〔図3(b)〕。

【0027】その際、遮光性絶縁膜2とCrとの密着性を高めるために、Crをスパッタリングする前に、遮光性絶縁膜2の表面をO₂プラズマで表面処理する。表面処理装置として、プラズマエッチング方式によるドライ・エッチング装置を用い、以下の条件で表面処理を行った。

【0028】

- ・O₂ 流量 : 200 sccm
- ・電極間距離 : 100mm
- ・RFパワー : 1200W
- ・温度 : 20℃
- ・圧力 : 100Pa
- ・処理時間 : 30sec

ソース電極5とドレイン電極6を形成後、PCVD装置

を用いてオーミック層形成のためのPH₃プラズマ処理を行い、連続してa-Si8を成膜し、シリコン窒化膜を成膜してゲート絶縁膜9を形成する。このとき、それぞれの膜厚はa-Si8を300Å、ゲート絶縁膜9を3000Åとした。その上にゲート電極10としてAlを2000Åの膜厚でスパッタ法により成膜し、パターニングする。エッチングはPHC液（リン酸、硝酸、酢酸よりなる混合液）によってウェットエッチングで行う〔図3(c)〕。

【0029】次に、DE装置（RIE方式）により、a-Si8、ゲート絶縁膜9、遮光性絶縁膜2をSF₆、O₂ ガスを用いてエッチングする。ゲート電極10とゲート信号線10aに用いられている金属材料のAlと、ソース電極5、ドレイン電極6、ドレイン信号線6aに用いられている金属材料のCrは、SF₆ やO₂ ガスによってエッチングされない。そのため、この配線部をマスクとして図1の斜線で示す領域の全てがエッチングにより除去される〔図3(d)〕。エッチング条件は以下の通りである。

【0030】

- ・SF₆ 流量 : 200 sccm
- ・電極間距離 : 130mm
- ・O₂ 流量 : 40 sccm
- ・RFパワー : 1200W
- ・圧力 : 10Pa
- ・エッチング時間 : 280sec

次に、その上をスピコートして覆って透明性平坦化膜11を成膜する。この膜厚は、誘電率3.0の材料を用いたことで、2.5 μ mの膜厚により各配線と画素電極の容量を十分小さくすることができた。材料に、例えば着色剤を含有していない感光性アクリル樹脂を用い、塗布後、100℃で2分間で半硬化し、露光後、現像液（0.4% TMAH：テトラメチルアンモニウムヒドロキシド）で現像すると、コンタクトホールが形成される。このとき、透明性平坦化膜11の透過率を減少させないようにするため、露光装置の光源はi線タイプを用いる〔図3(e)〕。

【0031】次に、画素電極12としてITO（インジウム・スズ酸化物）をスパッタ法により成膜し、フォトリソ工程でパターニングを行う。画素電極12の各配線とのオーバーラップは、露光精度を考慮すると、それぞれ1.5 μ mの重ねが必要である。また、エッチングはHC1ガスを用いてドライエッチング装置で行った。ITO膜の膜厚は、コンタクトホールのカバレッジを考慮して800Åとした〔図3(f)〕。

〔実施例：2〕先の実施例1では、遮光性絶縁膜2に遮光性の有機絶縁膜を用いたが、こうした遮光性有機絶縁膜の1層に限定されない。例えば、図4に示すように、遮光性有機膜（導電性でも可能である）の上に、絶縁性無機膜15であるシリコン酸化膜を積層する。ゲート電

極 1 0 を形成するまでの工程は、実施例 1 と同様であるのでそこまでの説明は省略する。

【 0 0 3 2 】すなわち、ゲート電極 1 0 の形成工程に続いて、DE 装置 (R I E 方式) でシリコン窒化膜、アモルファスシリコン 8、シリコン酸化膜、遮光性絶縁膜 2 を S F₆、O₂ ガスを用いてエッチングする。このとき、ゲート電極 1 0 とゲート信号線 1 0 a に用いた A 1 と、ソース電極 5、ドレイン電極 6、ドレイン信号線 6 a に用いた C r は、いずれも S F₆、O₂ ガスではエッチングされない。そのため、配線部をマスクとして図 1 の斜線部で示す領域の全てがエッチングされる。この後の工程は実施例 1 と同様であるので省略する。

【実施例 : 3】実施例 1 では、透明平坦化膜 1 1 に感光性アクリル樹脂を用いた。それに対して、この実施例 3 では、非感光性のカルド、B C B、シロキサン系フッ素樹脂などを用いた場合である。特に、B C B を用いた場合、透明平坦化膜を形成するまでの前工程は実施例 1 に共通する。B C B の塗布は、スピンコート装置にて行った。下地膜との密着性を向上させるためにカップリング剤を塗布した後、B C B の塗布を行った。塗布条件は、基板回転数 7 0 0 r p m で膜厚 2 . 0 μ m に形成した。塗布後、1 5 0 ° C で 5 分間ブリベークを行った後、N₂ ガス雰囲気でのベーク炉で 2 5 0 ° C、6 0 分間だけ焼成を行い、全硬化させる。このとき、ベーク炉中の酸素濃度を 1 0 0 p p m 以下にする必要がある。この全硬化後、ポジ型感光性レジストを塗布し、露光・現像を行った後、ドライエッチング装置でコンタクトホールを形成する。B C B は、レジストとの密着性が良好であるので表面処理を必要としない。ドライエッチング装置は、エッチング時のレジストダメージを考慮してプラズマエッチング方式で行った。エッチング条件は次の通りである。

【 0 0 3 3 】

- ・ S F₆ 流量 : 1 0 s c c m
- ・ O₂ 流量 : 2 0 0 s c c m
- ・ H e 流量 : 3 0 0 s c c m
- ・ R F パワー : 1 2 0 0 W
- ・ 圧力 : 1 3 0 P a
- ・ 電極間距離 : 1 0 0 m m
- ・ 温度 : 2 0 ° C
- ・ 反応時間 : 1 8 0 s e c

その後の工程は実施例 1 と同様であるので説明を省略する。

【 0 0 3 4 】

【発明の効果】以上説明したように、本発明による a -

S i T F T アクティブマトリクス形表示方式のカラー L C D は液晶フラットディスプレイに最適であり、能動スイッチング素子に用いた T F T の遮光層形成工程を省くことができる。すなわち、遮光性絶縁膜を用い、ゲート電極とゲート信号線、ソース電極、ドレイン電極とドレイン信号線の各配線をマスクにして、ゲート絶縁膜と a - S i を同時に同一ガスでドライエッチングすることで、遮光層を形成することができる。この工程削減により、特に液晶フラットディスプレイによるカラー L C D の製造コストを低減することができる。

【 0 0 3 5 】また、ゲート信号線とドレイン信号線の下に重ねずれが生じることなく遮光層を形成できるので、光漏れがなく、開口率を向上させることができる。その結果、光透過率の大きいカラー L C D を提供できる。

【図面の簡単な説明】

【図 1】本発明による半導体デバイスの実施の形態である p - S i 形 T F T アクティブマトリクス L C D の一画素領域を示す平面図である。

【図 2】図 1 の A - A 線からの断面図である。

【図 3】(a) ~ (f) は実施の形態の T F T 素子の製造工程を示す断面図である。

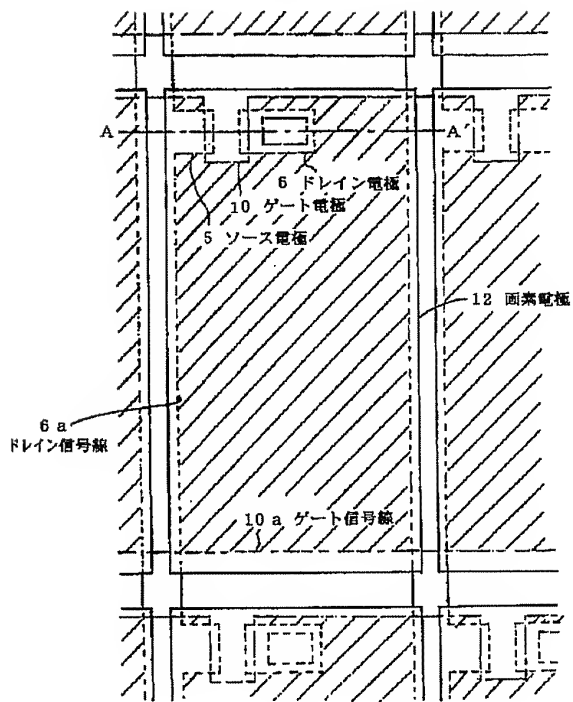
【図 4】本実施の形態における実施例 2 を示す断面図である。

【図 5】代表的な従来例の T F T 素子構造を示す断面図である。

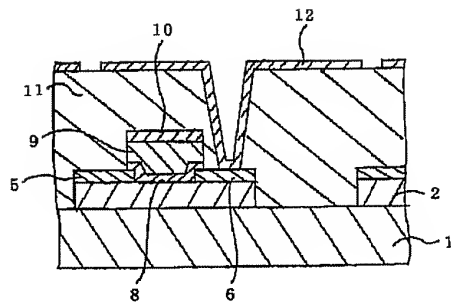
【符号の説明】

- 1 絶縁性基板
- 2 遮光性絶縁膜
- 3 金属遮光膜
- 4 透明性層間絶縁膜
- 5 ソース電極
- 6 ドレイン電極
- 6 a ドレイン信号線
- 7 n⁺ アモルファスシリコン
- 8 アモルファスシリコン (a - S i)
- 9 ゲート絶縁膜
- 1 0 ゲート電極
- 1 0 a ゲート信号線
- 1 1 透明性平坦化膜
- 1 2 画素電極
- 1 3 保護絶縁膜 (パッシベーション膜)
- 1 4 残留層
- 1 6 絶縁性無機膜

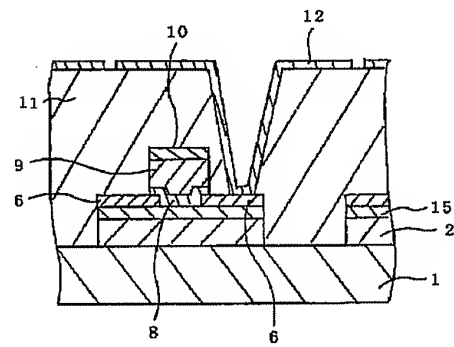
【図 1】



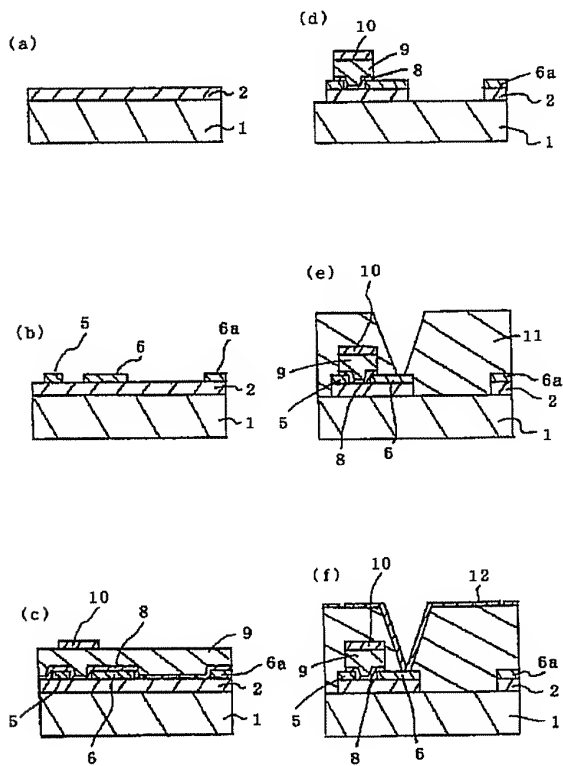
【図 2】



【図 4】



【図 3】



【図 5】

